

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

11408614

Basic Patent (No,Kind,Date): JP 5249498 A2 930928 <No. of Patents: 002>

ELECTRONIC DEVICE AND OPERATING METHOD THEREFOR AND PRODUCTION
THEREOF (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): TAKEMURA YASUHIKO

IPC: *G02F-001/136; H01L-027/12; H01L-029/784; H01L-031/04

Derwent WPI Acc No: G 93-340577

JAPIO Reference No: 180007P000070

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 5249498	A2	930928	JP 9285982	A	920309 (BASIC)
JP 2791620	B2	980827	JP 9285982	A	920309

Priority Data (No,Kind,Date):

JP 9285982 A 920309

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04257798 **Image available**

ELECTRONIC DEVICE AND OPERATING METHOD THEREFOR AND PRODUCTION
THEREOF

PUB. NO.: **05-249498** [JP 5249498 A]

PUBLISHED: September 28, 1993 (19930928)

INVENTOR(s): TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 04-085982 [JP 9285982]

FILED: March 09, 1992 (19920309)

INTL CLASS: [5] G02F-001/136; H01L-027/12; H01L-029/784; H01L-031/04

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1670, Vol. 18, No. 7, Pg. 70, January
07, 1994 (19940107)

ABSTRACT

PURPOSE: To prevent a degradation in yield by forming a semiconductor integrated circuit equiv. to an IC chip on the substrate of a display element or input device in order to eliminate high-density packaging of IC chips.

CONSTITUTION: The display element for which, for example, solar batteries are used, has a solar battery element region 102, the integrated circuit region 103 and further a display element electrode region 104 of a segment type on a glass substrate 101. The production of the respective regions is separately executed. The semiconductor integrated circuit region 103 is formed by connecting TFTs with aluminum wirings. The pixel electrodes of the liquid crystal display region 104 is formed via a chromium film. The semiconductor integrated circuit 103 and the respective pixel electrodes of the display element region 104 are electrically connected to form the solar battery region 102 consisting of PIN 3 layers of amorphous silicon. A rear surface substrate is superposed thereon and a TN liquid crystal is injected therebetween. A polarizing plate is superposed thereon, by which the display device is constituted. This device is packaged by positioning the rear surface of the surface A of the substrate 101 on which the element is not formed to a front side.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-249498

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl. ⁵	識別記号	府内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A			
29/784				
	9056-4M	H 0 1 L 29/ 78	3 1 1 A	
	7376-4M	31/ 04	Q	
				審査請求 未請求 請求項の数 8(全 10 頁) 最終頁に続く

(21)出願番号 特願平4-85982

(22)出願日 平成4年(1992)3月9日

(71)出願人 000153878
株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

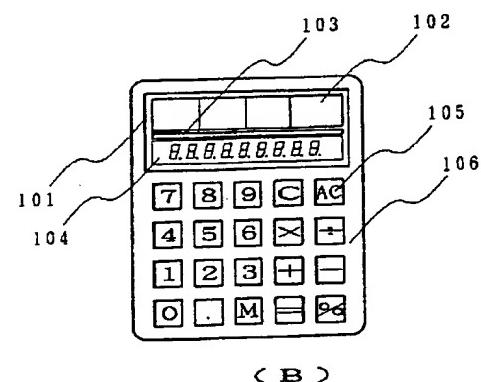
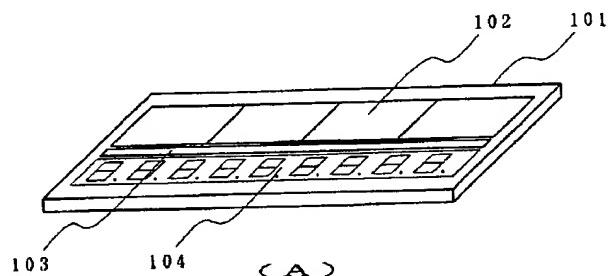
(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 電子装置とその動作方法およびその作製方法

(57)【要約】

【目的】 液晶等の表示装置あるいは多数の入力スイッチを有する装置と半導体集積回路を有する電子装置において、配線の接続にともなう歩留り低下をなくし、量産性を高め、コストを削減する。

【構成】 絶縁基板上に表示素子領域あるいは入力素子領域と半導体集積回路領域を形成し、前記半導体集積回路は、薄膜状の単結晶、多結晶もしくは実質的に多結晶の半導体を用いて作製し、よって配線接続の工程を省略する。



【特許請求の範囲】

【請求項1】 1枚の絶縁基板上に単結晶もしくは多結晶あるいは実質的に多結晶の半導体によって構成された半導体集積回路と表示素子の画素電極として用いられる透明導電膜とを有することを特徴とする電子装置。

【請求項2】 薄膜状の光電変換素子を同一基板上に有することを特徴とする請求項1の電子装置。

【請求項3】 入力装置として、薄膜状の光センサーを同一基板上に有することを特徴とする請求項1の電子装置。

【請求項4】 請求項2において、該光電変換素子を構成する半導体薄膜の基板に近い方は単結晶もしくは多結晶あるいは実質的に多結晶の半導体によって構成されたことを特徴とする電子装置。

【請求項5】 請求項2において、前記半導体集積回路の一部もしくは全部は、前記光電変換素子領域と前記表示素子領域に挟まれた細長い形状を有することを特徴とする電子装置。

【請求項6】 請求項5において、前記半導体集積回路領域は、前記表示素子領域とほぼ同じ長さを有することを特徴とする電子装置。

【請求項7】 絶縁基板状にP型もしくはN型の第1の半導体被膜を選択的に形成する工程と、その後、実質的にI型の第2の半導体被膜を選択的に形成する工程と、前記第1の半導体被膜が形成されていない部分の第2の半導体被膜上にゲート絶縁膜を形成する工程と、その後、ゲート電極を形成する工程と、その後にN型もしくはP型の第3の半導体被膜を形成する工程とを有することを特徴とする電子装置の作製方法。

【請求項8】 複数の光センサーを有する装置において、全ての光センサーの出力信号を比較して、その最小値と平均値・標準偏差を求め、検出された光の最小値と平均値および標準偏差を用いて表される基準式との差がしきい値以上のセンサーがただ一つある場合に、最小値を示したセンサーを選択されたセンサーとして認識することを特徴とする電子装置の入力信号の検出方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はセグメント方式、あるいはマトリクス方式の表示装置のような多数の出力端子を要する装置、あるいは多数の入力スイッチ等を有する装置およびその作製方法に関する。本発明は、上記装置に付随する半導体集積回路をも装置と同じ基板上に組み込んだものに関する。特に、本発明は、大容量の表示情報を提供できる装置を安価に供給することを目的とする。

【0002】

【従来の技術】電卓やその他の装置において用いられる表示装置は、大きく分けてセグメント方式とマトリクス方式がある。いずれの方式においても現在使用されているものでは、ガラス等の絶縁基板上に表示素子の一方の

電極を、例えば、ITOのような透明導電材料被膜によって選択的に形成し、そこから延びる多数の配線を単結晶半導体集積回路（IC）チップに接続する構成を有する。

【0003】その接続方式としては、ワイヤーボンディング法やTAB（テープ自動ボンディング）法、COG（チップ・オン・グラス）法が知られている。このうちで最も高集積化が可能な方法はCOG法である。その例を図2(A)に示す。

【0004】COG法では、ICチップ202を直接、あるいは異方性導電材料を挟んで、表示素子基板201に接着する。このとき、表示素子基板の接着部分203には接続用の電極が設けられている。その様子を図2(A)の拡大図に示すが、図から分かるように、多量の端子204が形成されなければならない。しかも、これらの端子にぴったりとICチップが接続されなければならないので、ICチップの位置合わせには正確さが要求される。通常、COG法では、隣合う端子の間隔は100μm程度であるので、ICチップの位置合わせも同じだけの精度が必要である。

【0005】一方、端子の数は表示素子の表示容量に依存する。例えば、7セグメント方式の表示では、1つの文字（桁）につき、小数点を含めて8個の配線が伸び、8個の端子が形成されなければならない。例えば、10文字（桁）の表示の場合には80個の端子が形成され、これらの端子は全てICチップの対応する端子に接続されなければならない。そのため、このCOG工程における歩留りは高くはなかった。

【0006】さらに、図からも明らかなように、接続部分付近では配線が混み合い、隣接する配線の間で短絡が起こったり、あるいは配線の断線があつたりする。特に、配線間隔が狭まり、配線の幅が小さくなったときにこのような不良が発生する確率が著しく増加する。

【0007】市販の電卓のブロック図を図2(B)に示す。これは太陽電池を使用した電卓であるが、図に示すように、プッシュボタンからなる入力装置、演算回路、セグメント方式の液晶表示装置、その液晶表示装置を駆動するための制御回路、さらに太陽電池とバックアップ電源（バッテリー）から構成される。

【0008】演算の種類が簡単な電卓では、演算回路と液晶表示装置（LCD）の制御回路とは1つのICチップにまとめられてる場合が多い。高度な演算が可能なものでは、複数の演算用のチップとLCD制御用のチップに分かれている。マトリクス方式でもセグメント方式でも、表示素子自体では、演算回路から弾きだされた数値（デジタル信号）を数字として表示することはできない。そのため、デジタル信号を解読して、LCDの各電極に信号を送るための制御回路が必要とされていた。そして、このような制御回路と表示素子を接続する際に、上記のような問題が生じたのである。

【0009】キーボードのような入力装置においても同じ問題があった。多数のスイッチを有する入力装置では、各スイッチからの信号を集めてデジタル信号とし、それを1つの出力信号線によって外部に流す必要はあった。このような信号処理にはICチップが必要とされ、各スイッチ（キー）から延びる多数の配線とICチップを接続する作業は非常に手間がかかり、また歩留りも高くなかった。

【0010】

【発明が解決しようとする課題】本発明は、このような従来の表示装置あるいは入力装置の問題点を解決するためになされたものであり、特に歩留りの低下に直結するCOG法他のICチップ実装技術を必要としない表示装置や入力装置とその応用製品に関する。

【0011】

【問題を解決する方法】本発明は、高密度のICチップ実装を排除するために、表示素子あるいは入力装置基板にICチップと同等な機能を有する半導体集積回路を形成しようとするものである。例えば、本発明では、通常、表示素子に用いられる透明な絶縁基板上に、表示素子の透明電極だけでなく、表示素子の制御回路や、場合によってはその他の演算・論理回路までをも集積したものを提案する。このように、同じ基板上に表示素子も集積回路も形成されるので、チップ実装プロセスは不要となり、それに由来する歩留りの低下も起こらない。

【0012】もちろん、集積回路を形成するに当たっては、基板材料として適当でないものは使用できない。例えば、集積回路として、高温プロセス（最高プロセス温度1000°C以上）による多結晶シリコンTFTを使用する場合には、基板としては石英が望ましい。また、低温プロセス（最高プロセス温度550°C以上）による多結晶シリコンTFTでは、石英基板以外に各種の非アルカリガラスが使用できる。基板の選択は作製プロセスに依存する。

【0013】本発明を表示素子に用いる場合には、このような基板上に、表示素子の透明電極と集積回路以外に、その他の素子を形成することもある。例えば、電卓に応用する際には、電源として太陽電池等の光電変換素子を同じ基板上に形成してもよい。その例を図1に示す。図1（A）に示すように、本発明の電子装置は、ガラス基板101上に太陽電池素子領域102と論理・演算回路および表示素子制御回路からなる集積回路領域103、さらにセグメント式の表示素子電極領域104とを具備している。セグメント方式のかわりにマトリクス方式を採用してもよい。これらの領域の接続には、薄膜形成技術を適用すればよいので、COG法その他の方法による場合と異なり、接続不良・断線・短絡等の不良は発生しない。したがって、歩留りを向上せしめるうえで十分な効果を發揮する。特に、このような集積回路の表示素子駆動回路を、表示素子（9桁のセグメント方式）

に合わせて細長く形成すれば、配線の密度が低下し、断線や短絡といった不良には極めて効果的である。

【0014】

【実施例】

【実施例1】図1（B）には、本発明の電子装置をプッシュボタン105を備えたプラスチック・パッケージ106に組み込んだ電卓の例を示す。本発明の電子装置は図1（A）に示すように、コーニング社の7059ガラス基板101上に、低温プロセスによって作製されたアルミニウムゲート・シリコンTFTからなる集積回路領域103と液晶表示素子用のITOからなるセグメント型の透明導電膜領域（表示素子領域）104、ならびにPIN型アモルファスシリコン太陽電池領域102が形成されたものである。各要素技術については公知の方法を援用すればよい。例えば、低温シリコンTFTの作製に関しては、本発明人らの発明である特願平3-237100、同3-238713、同4-30220等を参考とすればよい。

【0015】各領域の作製は別におこなった。最初に低温プロセスでTFTを作製した。このときの最高プロセス温度は600°Cとした。その後、各TFTをアルミニウム配線で結線して半導体集積回路領域103を形成したのち、クロム被膜を介して、液晶表示領域104の画素電極をITOによって形成した。このとき、半導体集積回路103と表示素子領域104の各画素電極とは電気的に接続された。さらに、プラズマCVD法によってアモルファスシリコンのPIN3層からなる太陽電池領域102を形成した。この太陽電池領域の作製の最高プロセス温度は、半導体集積回路部のアルミニウム配線に影響を与えるので、なるべく低温の方が望ましい。本実施例では、最高プロセス温度は250~350°Cとした。太陽電池領域102を形成する最終段階で、裏面電極としてアルミニウム被膜を形成するが、この工程で半導体集積回路部への接続も同時におこなわれる。その後、液晶配向膜を形成して、電子装置を完成させた。

【0016】このようにして作製された図1（A）の電子装置の上に裏面基板を重ね、TN液晶を注入し、さらに偏光板を重ねて表示装置として完成させたのち、基板101の素子の形成されていない面（すなわち図1

（A）の裏面）を表側として、パッケージした。このパッケージのプッシュボタンを除いた実質的な厚さの限界はガラス基板101と対向する裏面基板の厚さによって決定され、典型的には1mm程度まで可能であった。それ以下とすることも可能ではあったが、機械的な強度から問題があった。本実施例では、図1に示すように、半導体集積回路領域103は、細長い形状であり、また、太陽電池領域102と液晶セグメント表示素子領域104に挟まれた構造となっている。このような配置は、半導体集積回路領域に電力を供給しつつ、表示素子に信号を送るうえで、配線を短くして、ノイズを低減し、断線

を防ぐ等の利点を有し、極めて効率的であった。また、この半導体集積回路領域には、必要な演算回路と表示素子を駆動するための回路が組み込まれている。このように、半導体集積回路領域を表示素子領域に隣接させることは、表示素子に対する配線の接続を容易にし、配線の混みあいによる断線や短絡という不良を低減させることができた。特に、表示素子に効果的に信号を送り、配線を簡略化するには、本実施例のように半導体集積回路領域の長さを表示素子領域の長さとほぼ同じにすることが望まれる。

【0017】〔実施例2〕本実施例では、1枚の基板に、半導体集積回路とマトリクス型液晶表示パネル、太陽電池および光学的入力スイッチ装置を組み込んだ電子装置について説明する。図3(A)に示すように、本実施例で作製した装置は、透明なガラス(コーニング7059)基板302上に、太陽電池303、演算回路307、マトリクス型(320×128ドット)TN液晶表示パネル308、スキャンドライバ回路305、データドライバ回路304および306、光学的入力装置309が集積して形成されている。そして、これらの素子・装置が形成された面を、ガラス製裏面基板310に対向させて、間に液晶を注入したものを、機械的に保護するために、樹脂パッケージ301によって覆ってある。また、図には示されていないが、偏光板も具備している。

【0018】液晶表示パネルについて説明すれば、画面は上下に2分割され、1/64デューティーで駆動するパッシブマトリクス型である。従来は、このようなマトリクス型の表示パネルは高級な機種のみに採用されていたが、それは、マトリクスを駆動するには、ICチップをTAB法、あるいはCOG法で接続しなければならず、コストがかかったためである。さらに、これらの接続のために装置全体も大型で重かった。

【0019】しかし、単純なセグメント方式では表示容量に限界があり、使用目的が限定されてしまった。例えば、数字を表示するには問題がなかったが、アルファベットやカナ文字を表示するには複雑なセグメントが必要で、漢字を表示することはほとんど不可能であった。その一方で、漢字やアルファベットを表示するというニーズは強かった。本発明はそのようなニーズに適したものと言える。コストも、COG法の半分以下となった。しかしながら、1/64デューティー駆動で明瞭な表示を得るには、液晶のしきい値電圧が3V程度であっても、印加電圧は10V以上、好ましくは15~30Vが必要であった。そのため本発明では昇圧回路を具備するとともに、TFTも高耐圧の陽極酸化されたアルミニウムゲイトのものを用いた。このTFTの作製方法や構造に関しては、例えば、本発明人らの発明である特願平3-237100、同3-238713、同4-30220等を参考とすればよい。

【0020】この電子装置においては、通常のコンピュータや電卓に使用されるようなプッシュボタン型の入力スイッチは使用せず、光学的に入力を起こす。すなわち、本実施例の各入力スイッチ309には、その中央部に小さな光センサー部311を形成してある。この光センサーはCdSe、CdTe等の化合物半導体のように、単体のままで光照射によって導電率の変化する材料を使用してもよいが、アモルファシリコンのような光に対して敏感な材料でPIN積層構造を形成したものを使用してもよい。本実施例では後者を使用したが、それは、太陽電池303を形成する時に同時に形成できるからである。本実施例では、入力スイッチの表示部分(実際には、ボタンに対応する個所が印刷されているだけで、特に構造が他の基板部分と異なっているわけではない)309を6mm×6mmとしたのに対し、この光センサー部分311は0.5mm×0.5mmというよう著しく小さくし、各表示部分の中央に形成した。

【0021】このような光学的入力装置の動作原理について説明する。回路図は図3(B)に示される。すなわち、各光センサー(フォトダイオードと電荷蓄積用コンデンサーからなる)311は、共通配線によって並列に接続されている。本装置において入力を起こすとすれば、そのスイッチ部分の表示を指で押さえるのであるが、そのときに押さえられた部分の光センサーへの光が遮断される。そのことによって入力が起こる。これらの光センサーからの信号は、信号比較回路312に集められる。この信号比較回路では、周期的に、各光センサーからの信号が比較される。本実施例では、0.2秒ごとに光センサーの信号のサンプリングをおこない、データを積分した。すなわち、信号を入力するためには0.2秒程度、スイッチ部分を指で押さえる必要がある。しかし、それよりも少ない時間(例えば、0.1秒程度)であっても入力が判別できることもある。また、0.2秒以上、押し続けた場合には、データが重なって入力しないような防止策が必要である。例えば、同じスイッチ部分を1秒ほど押し続けた場合には、その間に5回ほどサンプリングがされるので、同じ入力信号が5個連続で入力されたと判別される危険がある。しかし、このような問題を解決することは簡単で、最初のサンプリング結果と同じ入力が2回目のサンプリングのときにも続いてなされた場合には、2回目のサンプリングの結果を無効とするプログラム・フローチャートを組めばよい。これをさらに強化するには、最初の入力があつてから、少なくとも1回のサンプリング期間においては、何ら入力が無いという状態を経なければ、全ての入力信号を無効とするプログラム・フローチャートであってよい。

【0022】本実施例では、各光センサーから集められた信号の平均値・標準偏差を求め、さらに最低値と、最低値を発信した光センサーが決定される。原則として、

最低値を発信した光センサーのスイッチ部分を入力とみなす。しかしながら、このような光センサーにあたる光は場所によって違うものであるので、ボタンを押していくなくても、指の影等の理由のためにたまたま光の入射の弱い部分が最低値を発信してしまうことがあり、誤入力が生じる。これ为了避免には、本実施例では、標準偏差を算出して意図的なデータを発信したスイッチ部分のみを入力と判別する機構を採用した。すなわち、本実施例では、最低値を得た場合、その値が（平均値－標準偏差）以下の場合のみを入力として判別した。したがって、偶発的な要因によって、誤って入力されることを防ぐようにした。

【0023】この方法をさらに強化するには、例えば、（平均値－標準偏差）以下の信号がただ1つある場合のみ、それを入力信号とし、2つ以上ある場合には入力はなかったものと見なすという方法を採用してもよい。

【0024】このように標準偏差を使用する方法は意図的なものと偶発的なものを判別するうえで有効であるが、例えば、十分に明るい環境の下で操作をおこなった場合には、指の影のような偶発的な信号でも（平均値－標準偏差）の値を下回ることがある。その場合には、前二者の方法のうち、後者の方法では入力はできない。また、前者の方法でも、たまたま、指の影がスイッチ部分を通過しただけでも、その光センサーの発する信号が、他の信号に比べて十分に小さく、例えば（平均値－標準偏差）という基準値を下回ってしまい、誤入力となる。

【0025】このような問題を回避するには、各光センサーから発せられる信号をリミッターを通して、一定以上の信号は全て同じ値とみなし、その上で平均値と標準偏差を算出して、上記のような判別をおこなえばよい。あるいは、一定の出力レベル以上の信号は最初から除外し、一定の出力レベル以下の信号のみで平均値・標準偏差を算出して、判別をおこなってもよい。

【0026】本実施例では、意図的な入力信号と偶発的な入力信号を見分ける基準として、上記のような式を採用したが、他の基準式を採用してもよいことはいうまでもない。また、信号レベルの下位のものを2つ決定し、その差が一定の値以上であるかどうかによって判別をおこなってもよい。

【0027】このようにして、入力信号が判別されたのちに、信号比較回路312から信号が発信され、演算回路の入力段の回路313に入力される。本実施例では、入力操作は従来のような機械的なものでないので、構造が極めて簡単であり、また、機械的なダメージ（例えば、プッシュボタンの破壊等）に起因する信頼性の低下がない。特に、1枚の基板上にスイッチ部分も演算回路も形成できるため、配線の接続工程が実質的になく、歩留りが向上し、コストが低減できる。

【0028】従来のこの種のポケットコンピュータにおいては、プッシュボタンからなるキーボード部の作製は

各ボタンの配線を半田付けするという労働力集約型の作業であった。また、ボタン部分は機械的に十分な信頼性が必要とされ、高級な材料を必要としていた。また、使用を続けた場合に最初に壊れるのは、ボタン部分であった。したがって、キーボードあるいはプッシュボタンのコストは極めて高くなつた。

【0029】現実に、このような労働集約型作業を人手不足の日本でおこなった場合にはコストが著しく高く付くので、台湾やマレーシア等の労働コストの安い国で作製されることがほとんどであった。しかしながら、近年は、これらの国でも労働コストが上昇しているため、さらに低賃金のバングラディッシュやインドに製造拠点を移す動きがある。このことは日本にとってみれば産業の空洞化という問題である。もちろん、富を発展途上国に分配するという点では好ましいのであるが、現実には、部品を日本から海外のこれらの拠点に輸送し、海外で組み立て、再び日本に輸送するという方式を採用している。したがって、製品や部品の輸送にかかるコストは膨大なものである。製造拠点が日本から遠くなればなるほどコストは上昇する。輸送には費用がかかるだけでなく、多量の石油が消費されるという事実も忘れてはならない。地球の温暖化を始めとする環境問題について考えてみれば、不要な輸送はなるべくおこなわず、一貫して生産する方が望ましいことは自明である。

【0030】本実施例で示された装置の製造は労働集約型ではない。したがって、日本で生産しても、コストは低いし、むしろインフラの整備されている日本の方が生産に適している。輸送による環境破壊の程度も著しく少なくなる。

【0031】【実施例3】本発明を実施するための工程例を図4に示す。まず、ガラス基板401上にアルカリイオン等の可動イオンをロックするための窒化珪素膜を形成する。基板材料としては、アルカリ含有の皆無あるいは低いものが望ましい。最も望ましいのは石英基板であり、なかでも合成石英では基板中に含まれているアルカリイオンは皆無である。石英は耐熱性に優れているために、半導体集積回路を形成する際にゲイト酸化膜を熱酸化法で形成することが出来る。このような理想的な基板材料を用いる場合には窒化珪素膜402は設けなくともよい。しかし、石英基板は、大きな物は非常に高価になる。すなわち単位面積あたりの基板コストは面積が大きくなるほど高くなる。したがって、大型の装置を形成する場合には、石英基板を使用すると基板の値段がばかにならなくなる。かわりの材料としては各種無アルカリガラスが利用できる。例えば、コーニング社の7059ガラス、1733ガラス、1724ガラス、1729ガラスや日本電気硝子社のN-0ガラス、NHテクノグラス社のNH-35ガラス等である。これらの基板は、表示方式として液晶表示を採用する場合には、セル厚を一定に保つため、うねりやそりのない研磨されたものを

用いることが望ましい。また、それぞれのガラスによって歪点が異なるので、作製プロセスの最高温度に適したものを見なければならない。以下では、非石英ガラス基板を使用した例を示す。

【0032】窒化珪素膜の作製方法は、公知の減圧CVD法やプラズマCVD法を用いればよい。窒化珪素膜402の上には酸化珪素膜403を堆積した。その厚さは窒化珪素膜の品質によって異なるが、30～1000nmが好ましい。成膜方法としては、スパッタ法やECRプラズマCVD法が適していた。

【0033】さらに、スパッタ法によって、ITO膜404を選択的に形成した。このITO膜は太陽電池領域の入射側の電極となる。その厚さは20～500nmが適していた。あまり薄いとシート抵抗が大きくなるので好ましくない。ついで、プラズマCVD法あるいは減圧CVD法によって、N型炭化珪素膜405を選択的に形成した。その厚さは30～200nmが望ましい。さらに、その上に実質的に真性な珪素膜を形成し、バーナーニングして太陽電池領域のI層406と集積回路領域のTFTの活性層407を形成した。その厚さとしては、20～200nmが好ましい。本実施例ではこのように、シリコン膜406と407は同時に形成されるので、厚さも同じであり、したがって、太陽電池に使用する場合にもTFTに使用する場合にも適した厚さになるようにならなければならない。太陽電池領域のシリコン膜406に関して言えば、N型シリコン膜405を完全に被覆してしまう構成とすると、後の工程での短絡が防止できて都合がよかった。

【0034】このような状態で、基板ごと熱アニールをおこない、シリコン膜の結晶化をおこなった。シリコン膜の原料をシランとしたときには、アニール温度は550～650℃が好ましかった。シリコン膜の材料をシランではなく、ジシランとするとアニール温度をさらに50℃低下させることができた。アニール雰囲気は窒素中あるいは水素中、もしくは真空中が好ましい。アニール時間は温度に依存し、12～72時間とした。

【0035】その後、スパッタ法やECRプラズマCVD法でゲイト酸化膜408を形成した。厚さは100～300nmが好ましかった。このようにして、図4(A)を得た。

【0036】その後、TFTのゲート電極をアルミニウムで形成した。アルミニウム膜の形成にはスパッタ法や電子ビーム蒸着法が望ましい。アルミニウムをバーナーニングしたのち、陽極酸化法によってアルミニウム膜の表面と側面に酸化アルミニウムを形成し、ゲート電極部を形成した。すなわち、実質的なゲート電極409とそのまわりに酸化アルミニウム膜410を形成した。陽極酸化の方法は、本発明人の出願である特願平3-237100、同3-238713、同4-30220等を参考とすればよい。

【0037】その後、フォトレジスト411で太陽電池領域を覆った状態でイオン注入をおこない、N型不純物領域(ソース、ドレイン)412を形成した。第4図にはNMOSしか記述されていないが、CMOS回路を形成する場合には、同様にPMOSのTFTにもP型の不純物注入をおこなわなければならない。もちろん、そのときにも太陽電池領域はマスクされていることが望ましい。

【0038】この工程の後、レーザーアニール法によってイオン注入によって破壊された結晶の再結晶化をおこなった。レーザーアニールの条件についても、上記出願を参考とした。このようにして、図4(B)を得た。

【0039】フォトレジストを除去したのち、太陽電池領域に選択的にP型シリコン膜413を減圧CVD法やプラズマCVD法で形成した。厚さは30～200nmが望ましい。こうして、太陽電池領域のPIN構造が完成された。以上の記述からも明らかのように、太陽電池領域のI層は、TFTの活性層と同じく実質的に多結晶状態であり、従来のアモルファスシリコンに比べて良好なエネルギー変換効率を示した。

【0040】その後、層間絶縁物414を形成して、電極用の孔を開け、アルミニウム被膜を形成して、アルミニウム配線415、416を形成した。このときアルミニウム被膜の上部にはクロム膜を形成して、アルミ/クロムの多層構造としてもよい。このように上面をクロムによって形成することによって、後にITO膜を形成する際の境界の抵抗を減らすことができる。その後、ITO膜を選択的に形成し、表示画素領域の電極417を形成した。この状態を図4(C)に示す。

【0041】一方、他方のガラス基板418には、表示画素領域の部分にのみクロムやアルミニウム等の金属被膜419を形成した。これは、反射材となる。ガラス基板418としては、アルカリを含むような材料を用いることもできる。このようにして得た基板両方にポリイミド樹脂を平坦に形成し、ラビング処理をおこなって、配向膜420、421を得た。そして、両基板を対向させてその間に液晶材料、例えばTN液晶422を注入して、シールした。このようにして、太陽電池領域と集積回路領域と表示画素領域とを有する電子装置を作製した。その断面を図4(D)に示す。

【0042】

【発明の効果】本発明の目的とする電子装置は最も簡単には表示装置あるいは多数の入力スイッチを有する装置とその周辺回路を同じ基板上に形成したものであり、それに演算回路やメモリー回路等のさらなる半導体集積回路、あるいは太陽電池等の電源素子、光センサーのような入力素子等の素子を集積したものである。その結果、従来の電子装置では、コスト的に実現できなかつた機能をも組み込むことが出来た。

【0043】例えば、本発明によって、従来は作製が難

しきて高価であったマトリクス型の表示装置を安価に作製することができるようになった。これは、特に小面積では効果が著しい。例えば、 640×480 ドットの大きなSTN液晶パネルであれば、TAB接続では、必要なICの数は11個（ICの端子が160本、 $1/240$ デューティー駆動の場合）で、ICの単価を千円とした場合には、そのコストは11千円である。一方、これを $1/8$ の規模の 320×120 ドットのTN液晶パネルとした場合には、必要なICの数は5個であり、コストは5千円であり、マトリクスの規模通り $1/8$ にはならない。すなわち、面積あたりでは面積が小さくなるほど割高となる。

【0044】逆に 640×480 ドットのマトリクスの駆動回路を本発明によって作製しようとするとコストが極めて大きくなる。これは基板のコストがかかることと、回路の大規模化に伴い、歩留りが低下するためである。しかしながら、その $1/8$ の規模のマトリクスではコストは劇的に低下する。概算ではコストは $1/100$ 以下にまで低下し、トータルコストで、2千円程度であり、TAB接続法の場合の6千円をはるかに下回る。例えば、 320×120 ドットのパネルで、TAB接続する場合でも、TN液晶ではなく、STN液晶を利用すれば、使用するICの数は、3個に減らすことができる。これはSTN液晶が高デューティー駆動に適しているからである。その場合にはトータル・コストは4千円である。しかしながら、STN液晶はセル厚の微妙な制御が要求され、また、着色効果があり、それを除去するためには位相差フィルム等を使用しなければならず、視野角も狭い。全体的にTN液晶に比べて特性が良くない。

【0045】さらに、実施例2で記述したような光学的入力装置（スイッチ基板あるいはスイッチパネル）にいたっては、演算回路と基板が同じであることによって相乗的な効果が得られるものである。すなわち、単独で

も、例えば機械的な部品が不要であるとか、機械的な破壊のための信頼性の低下がないとか、使用によって肉体的な疲労が少なく、障害が起こりにくいというような利益は享受できても、接続の問題を考えれば最終的なコストは従来のプッシュボタン式とさして違わなくなる。本発明ではこのようなスイッチ基板上に、多数の光センサーを形成するだけでなく、これらの入力を判別するための集積回路も同時に形成することによって、配線の接続を不要とする。例えば、光センサーを20個並べただけのスイッチ基板であれば、そこから出てくる配線は20本であり、これらを必要な信号処理回路のICチップに接続しなければならない。しかしながら、本発明では、20個の光センサーとともにそのセンサーから得られる信号を処理する回路も同じ基板上に形成されているので、最終的にはデジタル信号が出力される配線が1つだけ（厳密には電源供給線も必要であるが）外部に接続されればよいのであり、配線接続の手間は著しく減らされる。さらには、実施例2のように同じ基板上に演算回路や表示装置まで組み込めば配線の手間を要することなくシステムが構築される。このように本発明は産業上極めて有益な発明である。

【図面の簡単な説明】

【図1】本発明による電子装置の例（電卓）を示す。

【図2】従来の電子装置の表示部分の接続方法を示す。

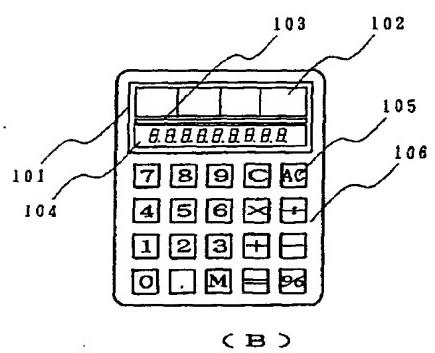
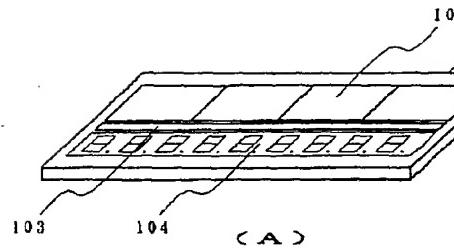
【図3】本発明による電子装置の例を示す。

【図4】本発明による電子装置の作製工程例を示す。

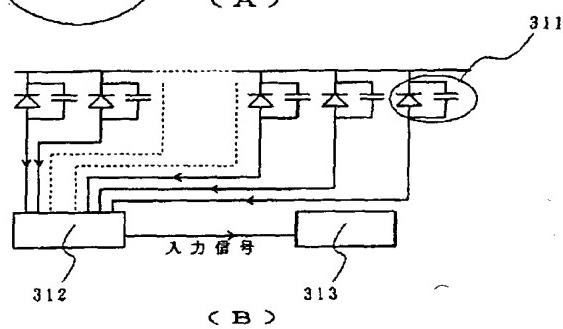
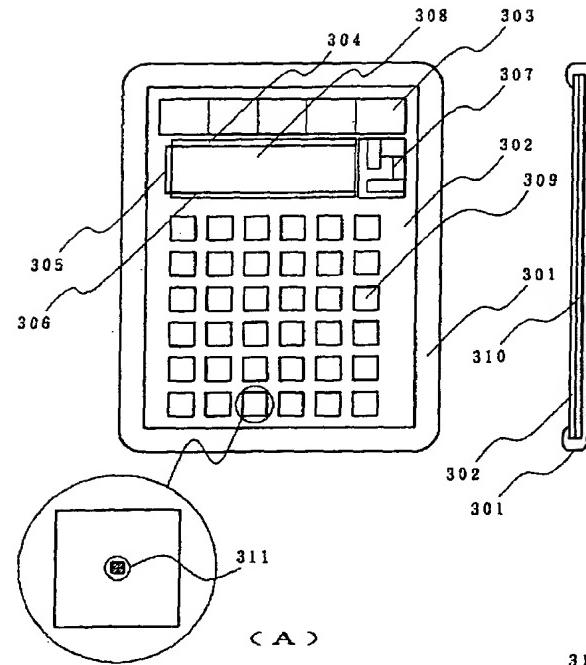
【符号の説明】

101	… 基板
102	… 太陽電池領域
30 103	… 演算回路領域
104	… セグメント式液晶表示領域
105	… ボタン
106	… パッケージ

【図1】

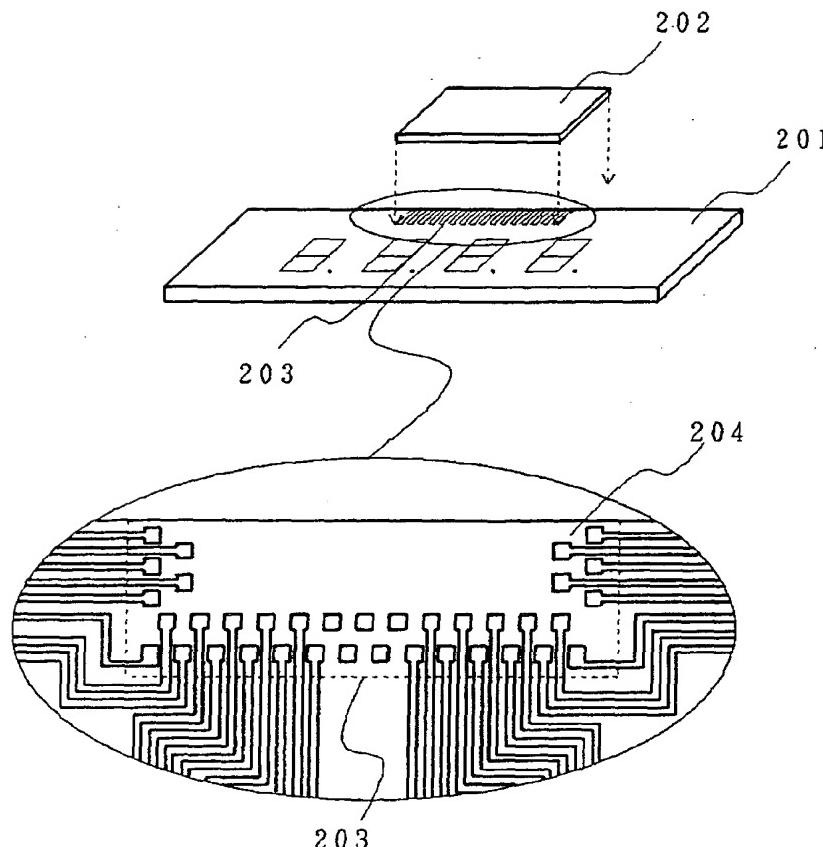


【図3】

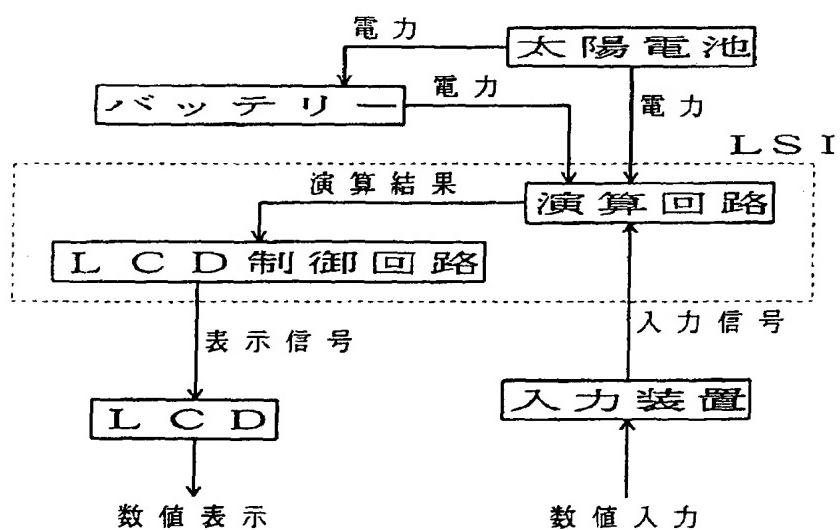


【図2】

Prior Art

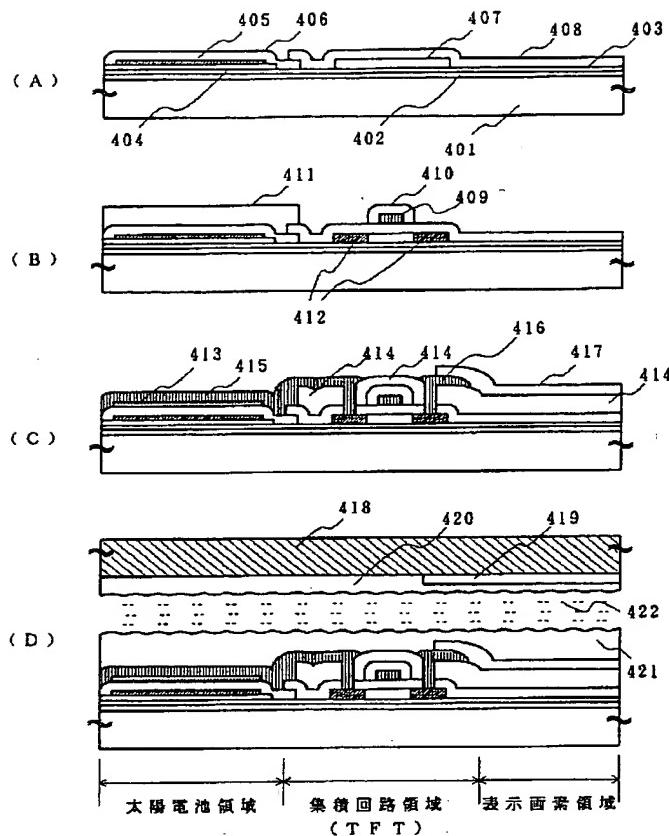


< A >



< B >

【図4】



フロントページの続き

(51) Int. Cl. 5

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 31/04